

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**

**ОДЕСЬКА НАЦІОНАЛЬНА АКАДЕМІЯ ХАРЧОВИХ ТЕХНОЛОГІЙ**

**ІНСТИТУТ КОМП'ЮТЕРНИХ СИСТЕМ І ТЕХНОЛОГІЙ  
«ІНДУСТРІЯ 4.0» ІМ. П.Н. ПЛАТОНОВА**

**ХІІ МІЖНАРОДНА  
НАУКОВО-ПРАКТИЧНА  
КОНФЕРЕНЦІЯ**

**ІНФОРМАЦІЙНІ ТЕХНОЛОГІЇ І  
АВТОМАТИЗАЦІЯ – 2019**

**INFORMATION TECHNOLOGIES AND  
AUTOMATION – 2019**

**Збірник доповідей**

**Частина I**

Одеса,  
17-18 жовтня 2019

# **Секція 1**

**Наукові напрямки:**

**Комп'ютерні  
телекомунікаційні мережі та  
технології**

**Математичне моделювання  
та інформаційні технології**

**Список  
скорочень організацій, представники яких взяли участь у конференції**

Таблиця 1

<b>Скорочення</b>	<b>Повна назва організації</b>	<b>Місто</b>	<b>Країна</b>
BNTU	Belarusian National Technical University	Minsk	Belarus
CAFU	CRIAME of Armed Forces of Ukraine	Kyiv	Ukraine
DMTSAU	Dmutro Motornyi Tavria State Agrotechnological University	Melitopol	Україна
DNU	Vasyl' Stus Donetsk National University	Вінниця	Україна
EKSTU	East Kazakhstan State Technical University D. Serikbayev	Ust-Kamenogorsk	Kazakhstan
IAEI SB RAS	Institute of Automation and Electrometry of the Siberian Branch of the Russian Academy of Sciences	Novosibirsk	Russia
IRTC IT&S NAS AND MES	International Research and Training Center for Information Technologies and Systems of the National Academy of Sciences (NAS) of Ukraine and Ministry of Education and Science (MES) of Ukraine	Kyiv	Ukraine
KGES	Kharkiv general education school	Kharkov	Україна
LPNUU	Lviv Polytechnic National University	Lviv	Ukraine
NTU "КхPI"	National Technical University "Kharkiv Polytechnic Institute"	Kharkov	Україна
NTU «KPI»	National Technical University "Igor Sikorsky Kyiv Polytechnic Institute"	Kyiv	Ukraine
NU «ОМА»	Національний університет «Одеська морська академія»	Одеса	Україна
NULESU	National University of Life and Environmental Sciences of Ukraine	Kyiv	Ukraine
NUOS	NATIONAL UNIVERSITY OF SHIPBUILDIN NAMED BY ADM. MAKAROV	Nikolaev	Ukraine
ONAFТ	Odessa National Academy of Food Technologies	Odessa	Ukraine
ONU	Odessa I.I.Mechnikov National University	Odessa	Ukraine
SSU	Sukhumi State University	Sukhumi	Georgia
VNTU	Vinnitsia National Technical University	Vinnitsia	Ukraine
БНТУ	Белорусский национальный технический университет	Минск	Белоруссия
ВНТУ	Вінницький національний технічний університет	Вінниця	Україна
ДВНЗ «КНУ»	Державний вищий навчальний заклад «Криворізький національний університет»	Кривий Ріг	Україна
ДонНТУ	Донецький національний технічний університет	Покровськ	Україна
ІК НАН України	Інститут кібернетики імені В.М. Глушкова НАН України	Київ	Україна
НТУ «ХПІ»	Национальный технический университет "Харьковский политехнический институт"	Харків	Україна
НТУУ "КПІ"	Національний технічний університет «Київський політехнічний інститут» імені Ігоря Сікорського"	Київ	Україна
НУ «ЛПІ»	Національний університет «Львівська політехніка»	Львів	Україна
ОДАТРЯ	Одеська державна академія технічного регулювання та якості	Одеса	Україна

## Продовження таблиці 1

<b>Скорочення</b>	<b>Повна назва організації</b>	<b>Місто</b>	<b>Країна</b>
ОНАЗ	Одеська національна Академія зв'язку ім. О.С. Попова	Одеса	Україна
ОНАПТ	Одесская национальная академия пищевых технологий	Одесса	Украина
ОНАХТ	Одеська національна академія піщевих технологій	Одеса	Україна
ОНПУ	Одеський національний політехнічний університет	Одеса	Україна
ОНУ	Одеський національний університет імені І. І. Мечникова	Одеса	Україна
ОТК ОНАХТ	Одеський технічний коледж Одеської національної академії харчових технологій	Одеса	Україна
ПНПУ	Південноукраїнський національний педагогічний університет ім. К.Д. Ушинського	Одеса	Україна
ХНУРЕ	Харківський національний університет радіоелектроніки	Харків	Україна
ХРТК	Харківський радіотехнічний технікум	Харків	Україна
ЦНДІ ОВТ ЗС України	Центральний науково-дослідний інститут озброєння та військової техніки Збройних Сил України	Київ	Україна
ЮНПУ	Южноукраинский национальный педагогический университет им. К.Д.Ушинского	Одесса	Украина

## ЗМІСТ

<b>ROMANYUK S.O., ROMANYUK O.N., PAVLOV S.V., PYVOVAR M.A.</b> USAGE OF 3D IMAGES FOR GENETIC DISEASES DIAGNOSIS ( <i>VNTU, Ukraine</i> ) . . . . .	7
<b>KUPRIYANOV A.B., XU SHANSHAN.</b> CONVOLUTIONAL NEURAL NETWORK AND LIDAR IMAGES IN FOREST INVENTORY ( <i>BNTU, Belarus</i> ) . . . . .	9
<b>СЕМЕНЮК В.О.</b> МАТЕМАТИЧНІ МОДЕЛІ ПРОГНОЗУВАННЯ РЕЗУЛЬТАТІВ ФУТБОЛЬНИХ МАТЧІВ ( <i>ВНТУ, Україна</i> ) . . . . .	10
<b>KERESELIDZE N.G.</b> MATHEMATICAL AND COMPUTER MODELS OF INFORMATION WARFARE ( <i>SSU, Georgia</i> ) . . . . .	13
<b>КОМЛЕВА N.O., НЕКНТ Н.І.</b> WEB SERVICE FOR AUTOMATED BUILDING OF THE SEMANTIC CORE OF A SITE ( <i>ONPU, Ukraine</i> ) . . . . .	16
<b>КУЛЬЧИЦЬКИЙ О.С., ЛАДИГІНА О.А.</b> ОСОБЛИВОСТІ НАДІЙНОСТІ ТА ЗАХИСТУ ІНФОРМАЦІЇ В КОМП'ЮТЕРНИХ СИСТЕМАХ І МЕРЕЖАХ ( <i>ЦНТУ, Україна</i> ) . . . . .	19
<b>ШВЕЦЬ В.Т.</b> ІНФОРМАЦІЙНА ЕНТРОПІЯ І СВОБОДА ВИБОРУ ( <i>ОНАХТ, Україна</i> )	22
<b>VYATKIN S.I., ROMANYUK A.N., NECHYPORUK M.L.</b> A NUMERICAL METHOD FOR ANIMATING THREE-DIMENSIONAL OBJECTS ( <i>VNTU, Ukraine, IAEI SB RAS, Russia</i> ) . . . . .	26
<b>ЧАПЛІНСЬКИЙ Ю.П., СУББОТІНА О.В.</b> ВИКОРИСТАННЯ ОНТОЛОГО-КЕРОВАНОЇ ТЕХНОЛОГІЇ СИСТЕМОЇ ОПТИМІЗАЦІЇ В СИСТЕМІ УПРАВЛІННЯ БЕПЕЧНІСТЮ ПРОДУКТІВ ХАРЧУВАННЯ ( <i>ІК НАН України</i> ) . . . . .	29
<b>FAINZILBERG L.S.</b> INTELLECTUAL INFORMATION TECHNOLOGIES ON SMARTPHONE ( <i>IRTC IT&amp;S NAS AND MES, Ukraine</i> ) . . . . .	31
<b>ВОЛОШИНА В.А., ЖУКОВ С.О.</b> БІОМЕТРИЧНА ІДЕНТИФІКАЦІЯ КОРИСТУВАЧІВ ІНФОРМАЦІЙНО-КОМП'ЮТЕРНИХ СИСТЕМ ( <i>ВНТУ, Україна</i> ) . . . . .	34
<b>НАЗАРОВА І.А.</b> МОДЕЛЮВАННЯ ПАРАЛЕЛЬНИХ ПРОЦЕСІВ ПРИ РОЗВ'ЯЗАННІ БАГАТОВИМІРНИХ ЖОРСТКИХ ЗАДАЧ КОШІ ( <i>ДонНТУ, Україна</i> ) . . . . .	36
<b>СИРЕНКО А.І.</b> АНАЛІЗ ПРОИЗВОДИТЕЛЬНОСТІ ВІРТУАЛЬНИХ МАШИН В СИСТЕМЕ ВІРТУАЛІЗАЦІЇ CITRIX XENSERVEN ( <i>ОНАХТ, Україна</i> ) . . . . .	38
<b>ПУЙДЕНКО В.О.</b> СИНТЕЗ МОДУЛЯ ДОСТОВІРНОСТІ/LRU КЕШ-ПАМ'ЯТІ ТА АСОЦІАТИВНОГО КЕШ – БУФЕРУ СТОРІНКОВОГО ПЕРЕТВОРЕННЯ ПРОЦЕСОРНОГО ЯДРА АРХІТЕКТУРИ IA-32 ( <i>ХРТК, Україна</i> ) . . . . .	39
<b>LEVINSKYI M.V., LEVINSKYI V.M.</b> AUTOMATIC CONTROL SYSTEMS STEADY STATE PROCESSES ANALYSIS IMPLEMENTATIONS IN MATLAB ( <i>NU «ОМА», ОНАФТ, Україна</i> ) . . . . .	42
<b>МОРОЗОВ Д.О., ЗІНОВАТНА С.Л.</b> АВТОМАТИЗАЦІЯ РОЗРАХУНКУ ЗАЛИШКІВ ТОВАРІВ З УРАХУВАННЯМ ПЕРЕТВОРЕННЯ ОСНОВНОГО ПРОДУКТУ У НОВИЙ ВИД ПРОДУКТУ ( <i>ОНПУ, Україна</i> ) . . . . .	43
<b>МАЗУРОК Т.Л.</b> НЕЧІТКА МОДЕЛЬ ІНТЕГРОВАНОГО НАВЧАННЯ ( <i>ПНПУ, Україна</i> )	46
<b>КРИВЧЕНКО Ю.В., КРИВЧЕНКО А.А.</b> КОМП'ЮТЕРНА РЕАЛІЗАЦІЯ АТРАКТОРНИХ СИСТЕМ У БАГАТОВИМІРНИХ ФАЗОВИХ ПРОСТОРАХ ( <i>ОНАХТ, ОТК ОНАХТ, Україна</i> ) . . . . .	49
<b>КОЗАК І.Р.</b> КОМП'ЮТЕРИЗОВАНА СИСТЕМА ЗБОРУ БІОМЕДИЧНИХ ПОКАЗНИКІВ ЛЮДИНИ ( <i>ВНТУ, Україна</i> ) . . . . .	51
<b>НАЙДЬОНОВ О.Ю., ЗІНОВАТНА С.Л.</b> АЛГОРИТМ КОНТРОЛЮ ОПЛАТИ З УРАХУВАННЯМ ФІКСОВАНОГО ПАКЕТУ СЕРВІСІВ ( <i>ОНПУ, Україна</i> )	53
<b>ГУСЯТИН В.М., ЛЕБЕДЕВ В.О.</b> АРХІТЕКТУРА НАПІВПАРАЛЕЛЬНОЇ ГЛИБОКОЇ НЕЙРОННОЇ МЕРЕЖІ ( <i>ХНУРЕ, Україна</i> ) . . . . .	55
<b>КОТЛИК С.В., СОКОЛОВА О.П., КОРНІЄНКО Ю.К.</b> ОГЛЯД ЗАСТОСОВУВАННЯ ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ ДЛЯ 3D МОДЕЛЮВАННЯ ( <i>ОНАХТ, Україна</i> ) . . . . .	58
<b>OTNOSHENNYI I.O.</b> DESIGNING THE SOFTWARE SYSTEM FOR RECOGNITION OF A HANDWRITTEN TEXT USING A NEURAL NETWORK ( <i>ONPU, Ukraine</i> ) . . . . .	61
<b>СЛУШНА Н.В.</b> ПЕРСПЕКТИВИ РОЗВИТКУ І ВИКОРИСТАННЯ СИСТЕМ ООБД ( <i>ОНАХТ, Україна</i> ) . . . . .	64
<b>КОМЛЕВА N.O., SHYDER M.O.</b> OUTSOURCING PLANNING PROGRAM OF	65

**СИНТЕЗ МОДУЛЯ ДОСТОВІРНОСТІ/LRU  
КЕШ-ПАМ'ЯТІ ТА АСОЦІАТИВНОГО КЕШ – БУФЕРУ СТОРІНКОВОГО ПЕРЕТВОРЕННЯ  
ПРОЦЕСОРНОГО ЯДРА АРХІТЕКТУРИ IA-32**

В науково-дослідницькій праці автором ставиться і вирішується задача синтезу мінімізації повністю та неповністю визначених перемикальних функцій:  $L=f(R)$  обрання рядків множини серед достовірних та функції  $R^+=f(L, R)$  формування значень бітів  $R_3^+R_2^+R_1^+R_0^+$  блоку достовірності з урахуванням попереднього стану цих бітів  $R_3R_2R_1R_0$ , функції  $L=f(B)$  та функції  $V^+=f(L,B)$  обрання рядків множини серед достовірних та формування оновлених значень бітів  $V_2^+V_1^+V_0^+$  за алгоритмом pseudo – LRU блоку LRU. В результаті синтезу отримані мінімальні логічні рівняння, які описують роботу модуля достовірності/LRU, як компоненти процесорного ядра архітектури IA-32.

Внутрішня кеш-пам'ять зберігає копії останніх зчитаних команд, операндів та інших даних (рис. 1). В пристрій сторінкового перетворення входить асоціативний кеш – буфер сторінкового перетворення TLB, котрий зберігає елементи таблиць сторінок (рис. 2). Слід зазначити, що архітектура кожного пристрою містить модуль достовірності/LRU.

Постановка задачі синтезу для обох блоків формується наступним чином: якщо у множині блоку даних є недостовірний рядок  $L_i$  ( в блоці достовірності його біт достовірності  $R_i$  дорівнює 0), то для заповнення обирається саме цей рядок з наступним встановленням цього біту достовірності  $R_i^+$  в 1 після запису у відповідний елемент  $L_i$  певної множини блоку даних.

Алгоритм pseudo-LRU діє наступним чином: якщо останнє звертання у множині блоку даних було до рядка  $L_0$  або  $L_1$ , то біт  $V_0=1$ , а при звертанні до рядка  $L_2$  або  $L_3$  біт  $V_0=0$ ; якщо останнє звертання у парі  $L_0-L_1$  було до рядка  $L_0$ , то біт  $V_1=1$ , а при звертанні до рядка  $L_1$  біт  $V_1=0$ ; якщо останнє звертання у парі  $L_2-L_3$  було до рядка  $L_2$ , то біт  $V_2=1$ , а при звертанні до рядка  $L_3$  біт  $V_2=0$ ;

Математична модель блоку достовірності [2] представлена мінімальними логічними рівняннями (1) та (2):

$$L_0 = \overline{R_0}, L_1 = \overline{R_1} \& R_0, L_2 = \overline{R_2} \& R_1 \& R_0, L_3 = \overline{R_3} \& R_2 \& R_1 \& R_0, \quad (1)$$

$$R_0^+ = L_0 \oplus R_0, R_1^+ = L_1 \oplus R_1, R_2^+ = L_2 \oplus R_2, R_3^+ = L_3 \oplus R_3, \quad (2)$$

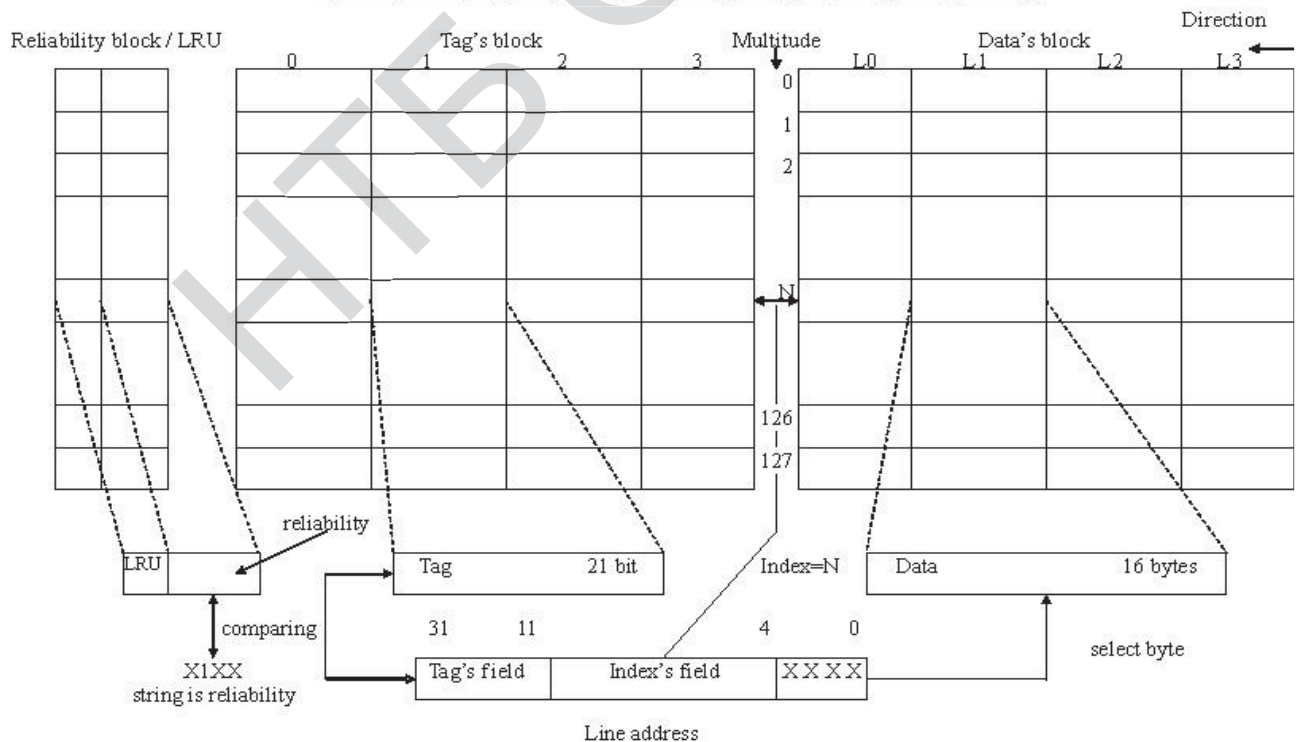


Рис. 1. Архітектура асоціативної 4-х спрямованої кеш-пам'яті рівня L1 процесорного ядра

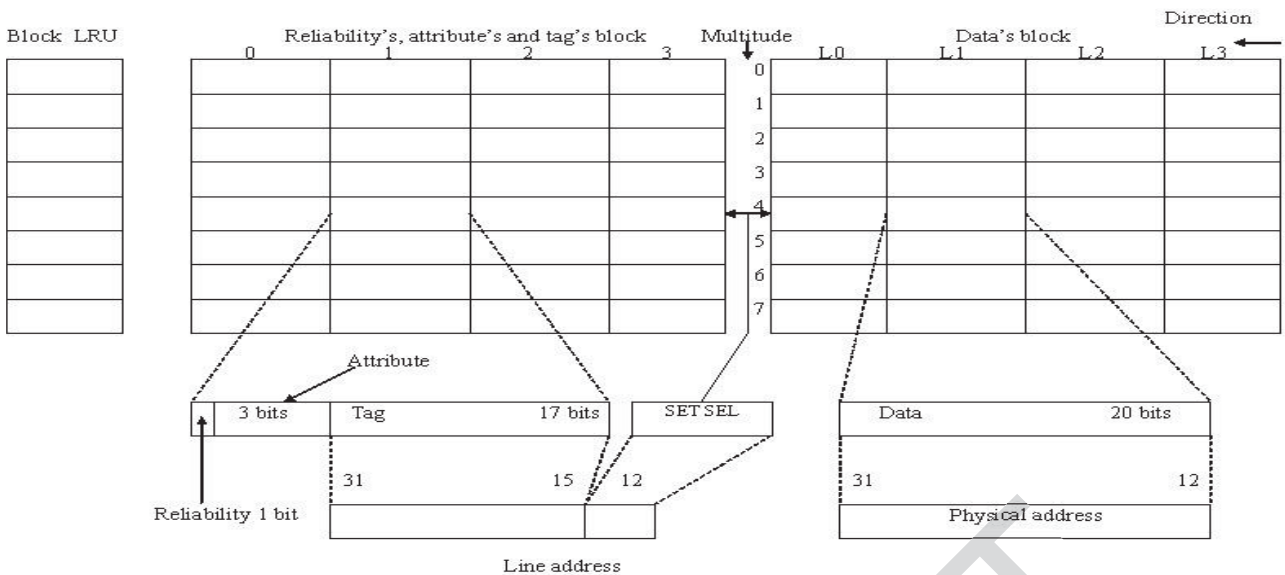


Рис. 2. Архітектура асоціативного буферу сторінкового перетворення TLB

Математична модель блоку LRU [1] представлена мінімальними логічними рівняннями (3),(4),(5) та (6):

$$L_0 = \bar{B}_1 \& \bar{B}_0; \quad L_1 = B_1 \& \bar{B}_0; \quad L_2 = \bar{B}_2 \& B_0; \quad L_3 = B_2 \& B_0; \quad (3)$$

$$B_0^+ = \bar{L}_3 \& \bar{L}_2 \& B_0 \vee L_1 \vee L_0 = \bar{L}_3 \& \bar{L}_2 \& B_0 \& \bar{L}_1 \& \bar{L}_0; \quad (4)$$

$$B_1^+ = \bar{L}_1 \& B_1 \vee L_0 = \bar{L}_1 \& B_1 \& L_0; \quad (5)$$

$$B_2^+ = \bar{L}_3 \& B_2 \vee L_2 = \bar{L}_3 \& B_2 \& \bar{L}_2; \quad (6)$$

Синтезовані математичні моделі блоків достовірності та LRU дозволили завершити остаточний синтез модуля достовірності/LRU у вигляді поєднуючого схемотехнічного рішення (рис. 3):

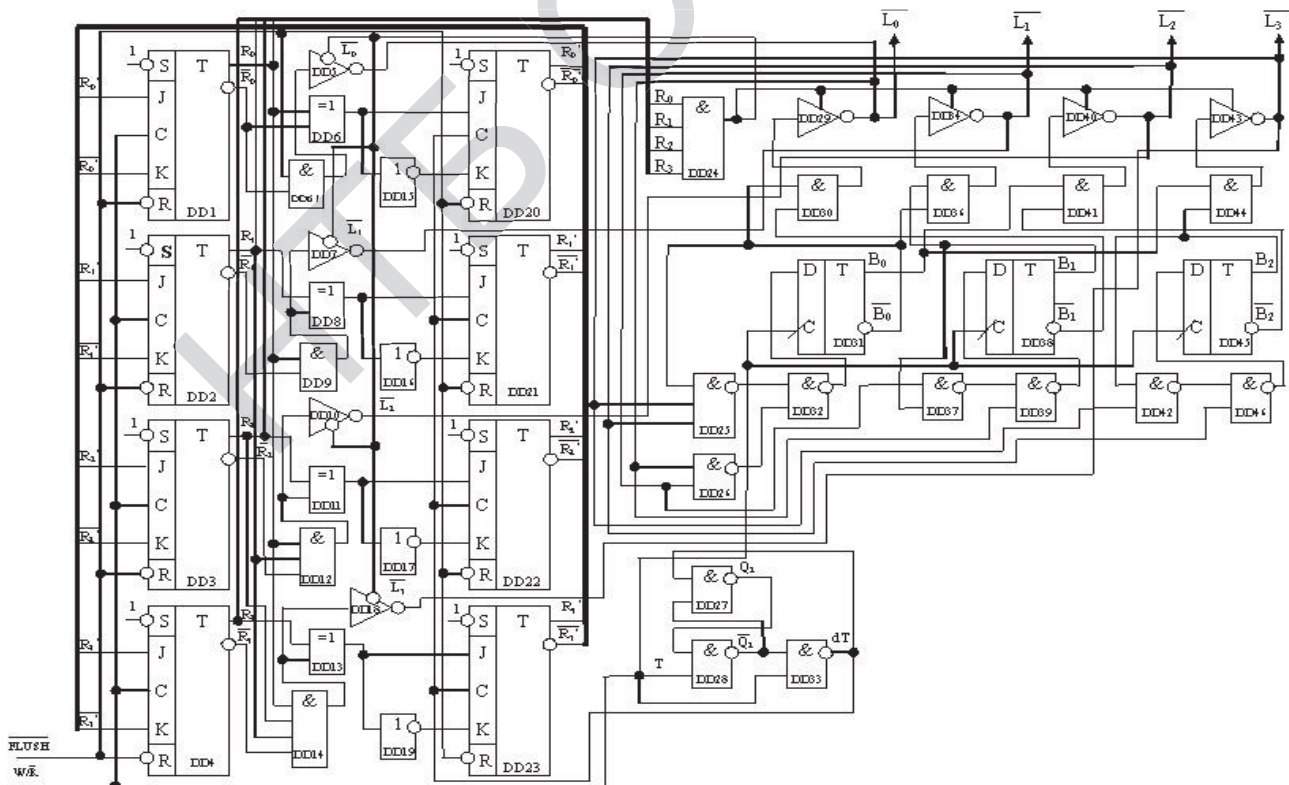


Рис. 3. Схемотехнічне рішення модуля достовірності/LRU

За схемотехнічним рішенням модуля достовірності/LRU у середовищі комп'ютерного моделювання була створена та досліджена відповідна комп'ютерна модель (рис. 4):

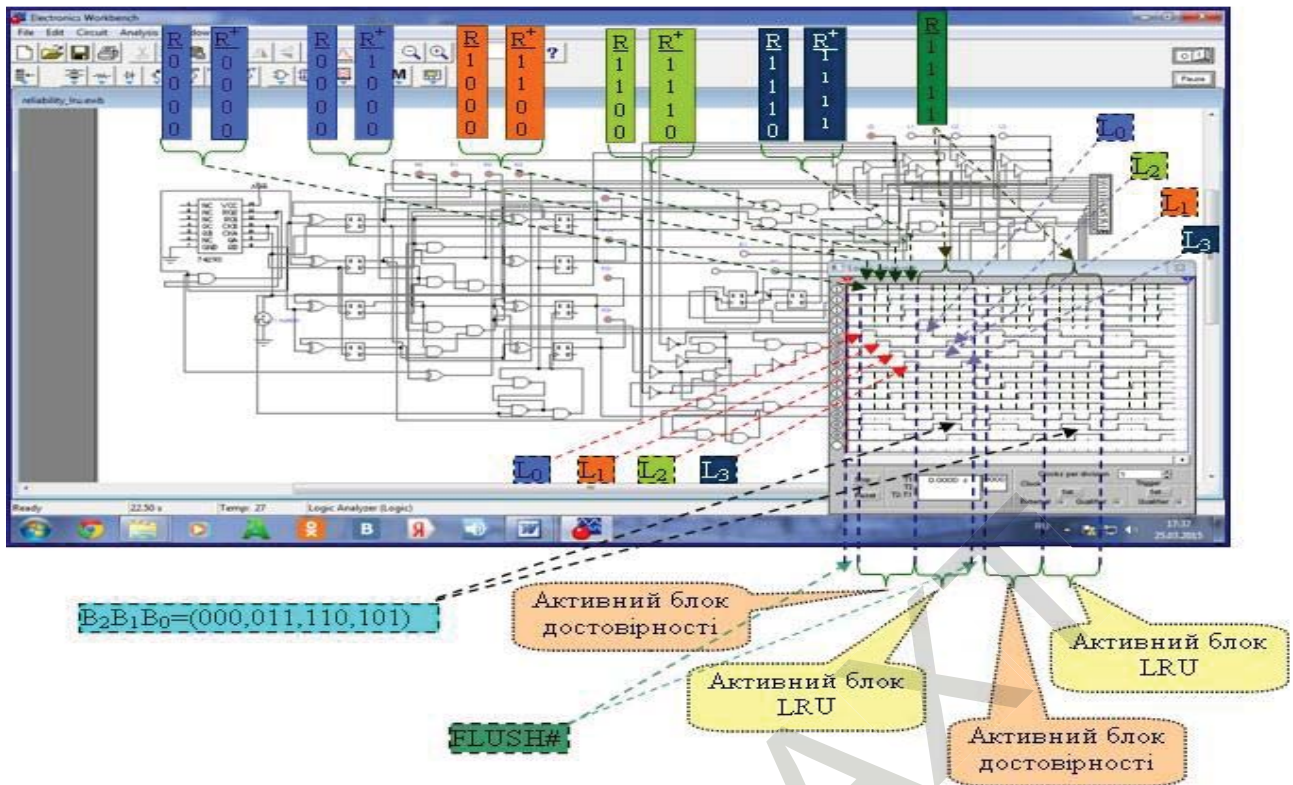


Рис. 4. Комп'ютерна модель модуля достовірності/LRU

В процесі моделювання спостерігається послідовна циклічність активності блоків, а досліджені діаграми часу комп'ютерної моделі повністю відповідають поставленій і вирішеній задачі синтезу.

Сучасні джерела комп'ютерної літератури та інформаційні інтернет – ресурси фірм – виробників досить стримано висвітлюють апаратні рішення компонент процесорних ядер на рівні комп'ютерних схемотехніки та логіки. Цей факт торкається і такої компоненти процесорного ядра, як модуль достовірності/LRU внутрішньої кеш – пам'яті та асоціативного кеш – буфера сторінкового перетворення. Зазвичай, у вище наведених джерелах ця компонента описується на рівні архітектури (рис.1, рис.2). Ця обставина надихнула автора, використовуючи математичний апарат комп'ютерної логіки, синтезувати блок достовірності [2], блок LRU [1] з алгоритмом pseudo – LRU та на підставі отриманих мінімальних логічних рівнянь створити певне поєднуюче схемотехнічне рішення всього модуля.

Представлене синтезоване схемотехнічне рішення модуля достовірності/LRU створює конкретну апаратну уяву про досить абстрактну архітектуру пристрою та, можливо, складає альтернативу блокам достовірності/LRU внутрішньої кеш-пам'яті та асоціативного кеш – буфера сторінкового перетворення реальних процесорних ядер архітектури IA-32.

#### СПИСОК ЛІТЕРАТУРИ

- [1] Вадим Пуйденко «Комп'ютерна модель блоку LRU кеш – пам'яті процесорного ядра архітектури IA - 32» с.363 I – 74 Т «Інформаційні технології та комп'ютерне моделювання» матеріали статей Міжнародної науково – практичної конференції, м. Івано – Франківськ, 14 – 19 травня 2018 року. - Івано – Франківськ: Супрун В.П., 2018. – 406 с. ISBN 978-617-7468-26-3
- [2] Вадим Пуйденко «Математична та комп'ютерна модель блоку достовірності кеш – пам'яті архітектури IA – 32». Матеріали IV Міжнародної науково – технічної конференції «Теоретичні та прикладні аспекти радіотехніки, приладобудування і комп'ютерних технологій», 20 – 21 червня 2019 року: збірник тез доповідей. - Тернопіль: ФОП Паляниця В.А., 2019. – 351 с. ISBN 978-617-7331-85-7
- [3] В.Л. Григорьев Микропроцессор i486. Архитектура и программирование. Книга 2,3,4. Аппаратная архитектура. – М., ГРАНАЛ, 1993. – с. 111, ил. 54
- [4] Брей Б. Микропроцессоры Intel: 8086/8088, 80186/80188, 80286, 80386, i486, Pentium, Pentium Pro, Pentium 2, Pentium 3, Pentium 4. Архитектура, программирование и интерфейсы. Шестое издание: Пер. с англ. - СПб.: БХВ-Петербург, 2005. – 1328 с.: ил.
- [5] Intel® 64 and IA-32 Architectures Software Developer's Manual <http://www.intel.com>

**XII МІЖНАРОДНА НАУКОВО-ПРАКТИЧНА КОНФЕРЕНЦІЯ****ІНФОРМАЦІЙНІ ТЕХНОЛОГІЇ І АВТОМАТИЗАЦІЯ – 2019****INFORMATION TECHNOLOGIES AND AUTOMATION – 2019**

*ОДЕСА  
17– 18 ЖОВТНЯ, 2019*

Збірник включає доповіді учасників XII Міжнародної науково-практичної конференції «Інформаційні технології і автоматизація – 2019»

**Редакційна колегія:** Котлик С.В., Хобін В.А., Плотніков В.М.

**Комп'ютерний набір і верстка:** Соколова О.П.

**Відповідальний за випуск:** Котлик С.В.